

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
H01L 21/46(11) 공개번호 특2001-0003206
(43) 공개일자 2001년01월15일(21) 출원번호 10-1999-0023411
(22) 출원일자 1999년06월22일(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 최영호
경기도 하남시신장2동백조현대아파트102동1002호
(74) 대리인 강성배
심사청구 : 없음

(54) 에스오아이 소자의 제조방법

요약

본 발명은 소자 특성을 향상시키기 위한 에스오아이 소자의 제조방법에 관한 것으로, 본 발명의 에스오아이 소자의 제조방법은, 먼저, 베이스층과, 상기 베이스층 상에 배치되는 매몰산화막, 및 상기 매몰산화막 상에 배치되며, 소자가 형성될 제1활성영역과 웰 픽-업용 불순물 영역이 형성될 제2활성영역 및 상기한 활성영역들을 한정하는 제1필드영역들과 인접하는 제1필드영역들 사이에 배치되는 제2필드영역을 갖는 반도체층의 적층 구조로 이루어진 에스오아이 기판을 제공한다. 그런다음, 반도체층의 제1필드영역들을 소정 두께만큼 선택적으로 식각하여, 제1트랜치들을 형성하고, 이어서, 상기 반도체층의 제1 및 제2필드영역들을 선택적으로 동일 두께만큼 식각하여, 상기 반도체층의 제1필드영역에는 매몰산화막과 접하는 깊이의 제2트랜치를 형성하고, 상기 반도체층의 제2필드영역에는 매몰산화막과 접하지 않는 깊이의 제3트랜치를 형성한다. 이후, 제2 및 제3트랜치 내에 절연막을 매립시켜, 트랜치형 제1 및 제2소자분리막들을 형성하고, 그리고나서, 제1 및 제2소자분리막들에 의해 한정된 반도체층의 제1활성영역에는 트랜지스터를 형성하고, 동시에, 반도체층의 제2활성영역에는 웰 픽-업용 불순물 영역을 형성한다.

대표도

도2g

명세서

도면의 간단한 설명

도 1은 종래 기술에 따라 제작된 에스오아이 소자를 도시한 단면도.

도 2a 내지 도 2g는 본 발명의 실시예에 따른 에스오아이 소자의 제조방법을 설명하기 위한 공정 단면도.

(도면의 주요 부분에 대한 부호의 설명)

11 : 베이스층 12 : 매몰산화막
13 : 반도체층 20 : 에스오아이 기판
21 : 제1마스크 패턴 22 : 제1트랜치
23 : 제2마스크 패턴 24 : 제2트랜치
25 : 제3트랜치 26a : 제1소자분리막
26b : 제2소자분리막 27 : 제3마스크 패턴
28 : 게이트 산화막 29 : 게이트 전극

F S 入 力 済

30 : 소오스 영역 31 : 드레인 영역

32 : 웰 픽-업용 불순물 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 에스오아이(SOI : Silicon On Insulator) 소자의 제조방법에 관한 것으로, 특히, 소자 특성을 향상시킬 수 있는 에스오아이 소자의 제조방법에 관한 것이다.

반도체 소자의 고성능화가 진행됨에 따라, 벌크 실리콘으로 이루어진 실리콘 기판을 대신하여 SOI 기판을 이용한 반도체 소자(이하, SOI 소자라 칭함)가 주목되고 있다. SOI 기판은 지지 수단인 베이스층과 매몰산화막 및 소자가 형성될 반도체층의 적층 구조로서, 이러한 SOI 기판에 집적된 SOI 소자는 매몰산화막에 의해 완전한 소자 분리를 이룰 수 있고, 특히, 접합 캐패시턴스를 감소시킬 수 있기 때문에 저전력화 및 고속화의 잇점이 있다.

도 1은 종래 기술에 따라 제작된 SOI 소자를 보여주는 단면도로서, 이를 참조하여 그 제조방법을 설명하면 다음과 같다.

우선, 베이스층(1)과 매몰산화막(2) 및 반도체층(3)의 적층 구조로 이루어진 SOI 기판(10)이 마련되고, 트렌치형의 소자분리막들(4)이 상기 반도체층(3)의 필드영역에 상기 매몰산화막(2)과 접하도록 형성된다. 그 다음, 게이트 전극(6)은 게이트 산화막(5)의 개재하에 상기 소자분리막들(4)에 의해 한정된 반도체층(3)의 활성영역에 형성되고, 소오스 및 드레인 영역(7, 8)이 상기 게이트 전극(6) 양측의 활성영역에 각각 형성된다. 이때, 상기 소오스/드레인 영역(7, 8)은 소자분리막(4)과 마찬가지로 매몰산화막(2)과 접하도록 형성된다.

이와 같은 SOI 소자는 소오스/드레인 영역이 매몰산화막과 콘택되어 있기 때문에, 전술한 바와 같이, 실리콘 기판에 집적된 일반적인 반도체 소자와 비교해서 접합 캐패시턴스가 감소되고, 이에 따라, 고속 동작이 가능하게 된다.

발명이 이루고자하는 기술적 과제

그러나, 상기와 같은 SOI 소자는 고속 소자에 적합한 특성을 얻을 수는 있지만, 반면에, 부동 몸체 효과(Floating Body Effect)에 의해 그 동작 특성이 불안정하게 되는 문제점이 있다. 즉, 트랜지스터의 몸체인 채널 영역이 필드산화막과 매몰산화막에 의해 완전 격리되기 때문에, 이러한 트랜지스터의 동작시에는 채널 영역의 하부에 전하가 축적되고, 이렇게 축적된 전하에 의해 그 동작 특성이 불안정해지는 물론, 그 구동 속도가 저하되는 문제점이 있다.

따라서, 상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은, 부동 몸체 효과를 방지하여 소자의 구동 속도를 향상시킬 수 있는 SOI 소자의 제조방법을 제공하는데, 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 SOI 소자의 제조방법은, 베이스층과, 상기 베이스층 상에 배치되는 매몰산화막, 및 상기 매몰산화막 상에 배치되며, 소자가 형성될 제1활성영역과 웰 픽-업용 불순물 영역이 형성될 제2활성영역 및 상기한 활성영역들을 한정하는 제1필드영역들과 인접하는 제1필드영역들 사이에 배치되는 제2필드영역을 갖는 반도체층의 적층 구조로 이루어진 SOI 기판을 제공하는 단계; 상기 반도체층의 제1필드영역들을 소정 두께만큼 선택적으로 식각하여, 제1트렌치들을 형성하는 단계; 상기 반도체층의 제1 및 제2필드영역들을 선택적으로 동일 두께만큼 식각하여, 상기 반도체층의 제1필드영역에는 상기 매몰산화막과 접하는 깊이의 제2트렌치를 형성하고, 상기 반도체층의 제2필드영역에는 상기 매몰산화막과 접하지 않는 깊이의 제3트렌치를 형성하는 단계; 상기 제2 및 제3트렌치 내에 절연막을 매립시켜, 상기 매몰산화막과 접하는 트렌치형 제1소자분리막들과, 상기 매몰산화막과 접하지 않는 깊이로 상기 제1소자분리막들 사이에 배치되는 제2소자분리막을 형성하는 단계; 및 상기 제1 및 제2소자분리막들에 의해 한정된 상기 반도체층의 제1활성영역에는 트랜지스터를 형성하고, 상기 반도체층의 제2활성영역

본 발명에 따르면, 트렌치형의 소자분리막들을 상이한 두께로 형성함으로써, 부동 몸체 효과를 방지할 수 있으며, 아울러, 웰 픽-업(Well pick-up)용 불순물 영역을 구비시킴으로써, 소자 특성의 안정화 및 구동 속도의 향상을 얻을 수 있다.

이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.

도 2a 내지 도 2g는 본 발명의 실시예에 따른 SOI 소자의 제조방법을 설명하기 위한 공정 단면도로서, 이를 설명하면 다음과 같다.

먼저, 도 2a에 도시된 바와 같이, 베이스층(11)과 상기 베이스층(11) 상에 배치되는 매몰산화막(12) 및 상기 매몰산화막(12) 상에 배치되는 반도체층(13)의 적층 구조로 이루어진 SOI 기판(20)을 마련한다. 여기서, 반도체층(13)은 소자가 형성될 제1활성영역과 웰 픽-업용 불순물 영역이 형성될 제2활성영역 및 상기한 활성영역들을 한정하는 제1필드영역들과 인접하는 제1필드영역들 사이에 배치되는 제2필드영역을 갖는다.

이어서, 상기 SOI 기판(20)의 반도체층(13) 상에 그의 제1필드영역들을 노출시키는 제1마스크 패턴(21)을 형성한다. 여기서, 제1마스크 패턴(21)은, 예컨대, 레지스트 패턴이며, 금지된 포토리소그래피 공정으로 형성한다.

다음으로, 도 2b에 도시된 바와 같이, 제1마스크 패턴(21)을 마스크로 하는 식각 공정으로 노출된 반도체층(13)의 제1필드영역들을 소정 두께만큼 식각하여, 상기 반도체층(13)의 제1필드영역에 제1깊이의 제1트랜치(22)를 형성한다.

그 다음, 도 2c에 도시된 바와 같이, 제1마스크 패턴을 제거한 상태에서, 반도체층(13) 상에 금지된 포토리소그래피 공정으로 제1트랜치들(22)이 형성되어 있는 그의 제1필드영역들과 상기 제1필드영역들 사이에 배치된 제2필드영역을 노출시키는 제2마스크 패턴(23)을 형성한다.

다음으로, 도 2d에 도시된 바와 같이, 노출된 반도체층(13)의 제1 및 제2필드영역들을 동일 두께만큼 식각하여, 상기 반도체층(13)의 제1필드영역에는 매몰산화막(12)을 노출시키는 깊이로 제2트랜치(24)를 형성하고, 상기 반도체층(13)의 제2필드영역에는 상기 매몰산화막(12)에 접하지 않는 깊이로 된 제3트랜치(25)를 형성한다. 여기서, 노출된 반도체층(13)의 제1 및 제2필드영역을 동일 두께만큼 식각함에도 불구하고, 제2트랜치(24)는 매몰산화막(12)과 접하고, 제3트랜치(25)는 매몰산화막(12)과 접하지 않는 것은 이전 공정에서 상기 반도체층(13)의 제1필드영역에 제1트랜치를 형성하였기 때문이다.

그 다음, 도 2e에 도시된 바와 같이, 제3마스크 패턴을 제거한 상태에서, 반도체층(13) 상에 제2 및 제3트랜치들을 매립시킬 수 있을 정도의 두께로 절연막을 형성하고, 상기 절연막을 금지된 화학적기계적 연마 공정으로 연마하여 트랜치형의 제1 및 제2소자분리막들(26a, 26b)을 형성한다. 여기서, 상기 제1소자분리막(26a)은 매몰산화막(12)과 접하는 깊이로 형성되고, 상기 제2소자분리막(26b)은 매몰산화막(12)과 접하지 않는 깊이로 형성된다.

다음으로, 도 2f에 도시된 바와 같이, 제1 및 제2소자분리막(26a, 26b)을 구비한 반도체층(13) 상에 반도체층(13)의 제1 및 제2활성영역을 노출시키는 제3마스크 패턴(27)을 형성하고, 이어서, 노출된 활성영역에 소정 도전형의 불순물을 이온주입하여 웰(도시안됨)을 형성한다.

그리고나서, 도 2g에 도시된 바와 같이, 제3마스크 패턴을 제거한 상태에서, 금지된 방법으로 반도체층(13)의 제1활성영역에 게이트산화막(28)을 갖는 게이트 전극(29)을 형성하고, 이어서, 상기 게이트 전극(29)을 마스크로 하는 이온주입 공정으로 상기 게이트 전극(29) 양측의 제1활성영역 부분에 소오스 및 드레인 영역(30, 31)을 형성한다. 이때, 소오스 및 드레인 영역(30, 31)의 형성시에는 반도체층(13)의 제2활성영역에도 불순물을 이온주입하여 상기 반도체층(13)의 제2활성영역 내에 소자 구동시에 채널 영역에 전하가 축적되는 것을 방지하기 위한 웰 픽-업용 불순물 영역(32)을 동시에 형성한다.

이와 같은 구조를 갖는 SOI 소자에 있어서는, 소자가 형성될 활성영역을 한정하는 소자분리막들 중, 어느 하나는 매몰산화막과 접하지 않게 구비되고, 아울러, 소자가 형성될 활성영역과 이웃하는 또 다른 활성영역 부분에는 웰 픽-업용 불순물 영역이 구비되기 때문에, 이러한 웰 픽-업용 불순물 영역을 통해 소자의 구동시에 채널 영역에 전하가 축적되는 것을 방지할 수 있다.

따라서, 이러한 구조의 SOI 소자에서는 부동 몸체 효과가 방지되기 때문에, 부동 몸체 효과에 기인된 소자 특성의 열화를 방지할 수 있게 된다.

발명의 효과

이상에서와 같이, 본 발명은 서로 다른 깊이를 트랜치형 소자분리막들을 형성하는 것에 기인하여 부동 몸체 효과를 방지할 수 있으며, 이에 따라, 소자 특성의 열화를 방지할 수 있다.

따라서, SOI 소자의 구동시에 그 특성 열화를 방지할 수 있는 것에 기인하여 구동 속도를 향상시킬 수 있기 때문에, 고속 소자의 제조에 매우 유리하게 적용시킬 수 있다.

기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

(57)청구의 범위

청구항1

베이스층과, 상기 베이스층 상에 배치되는 매몰산화막, 및 상기 매몰산화막 상에 배치되며, 소자가 형성될 제1활성영역과 웰 픽-업용 불순물 영역이 형성될 제2활성영역 및 상기한 활성영역들을 한정하는 제1필드영역들과 인접하는 제1필드영역들 사이에 배치되는 제2필드영역을 갖는 반도체층의 적층 구조로 이루어진 에스오아이 기판을 제공하는 단계;

상기 반도체층의 제1필드영역들을 소정 두께만큼 선택적으로 식각하여, 제1트랜치들을 형성하는 단계;

상기 반도체층의 제1 및 제2필드영역들을 선택적으로 동일 두께만큼 식각하여, 상기 반도체층의 제1필드영역에는 상기 매몰산화막과 접하는 깊이의 제2트랜치를 형성하고, 상기 반도체층의 제2필드영역에는 상기 매몰산화막과 접하지 않는 깊이의 제3트랜치를 형성하는 단계;

상기 제2 및 제3트랜치 내에 절연막을 매립시켜, 상기 매몰산화막과 접하는 트랜치형 제1소자분리막들과, 상기 매몰산화막과 접하지 않는 깊이로 상기 제1소자분리막들 사이에 배치되는 제2소자분리막을 형성하는 단계; 및

상기 제1 및 제2소자분리막들에 의해 한정된 상기 반도체층의 제1활성영역에는 트랜지스터를 형성하고, 상기 반도체층의 제2활성영역에는 웰 픽-업용 불순물 영역을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 에스오아이 소자의 제조방법.

청구항2

제 1 항에 있어서, 상기 에스오아이 기판을 제공하는 단계와 상기 제1트랜치들을 형성하는 단계 사이에, 상기 반도체층 상에 그의 제1필드영역들을 노출시키는 마스크 패턴을 형성하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 에스오아이 소자의 제조 방법.

청구항3

제 1 항에 있어서, 상기 제1트랜치들을 형성하는 단계와 상기 제2 및 제3트랜치들을 형성하는 단계 사이에, 상기 상기 반도체층 상에 그의 제1 및 제2필드영역들을 노출시키는 마스크 패턴을 형성하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 에스오아이 소자의 제조방법.

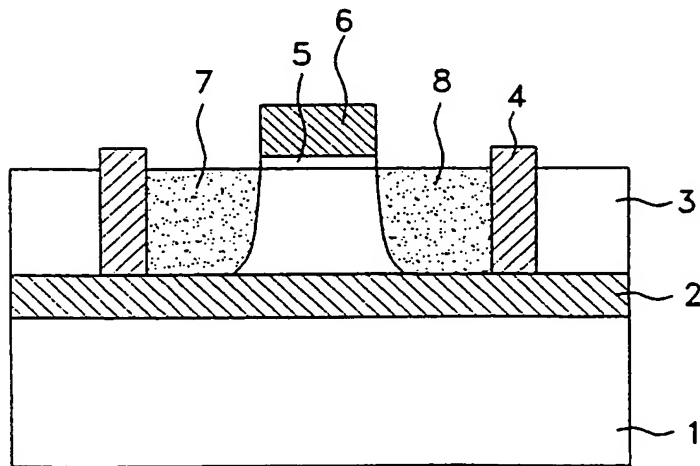
청구항4

제 1 항에 있어서, 상기 제1 및 제2소자분리막을 형성하는 단계와 상기 트랜지스터 및 웰 픽-업용 불순물 영역을 형성하는 단계 사이에,

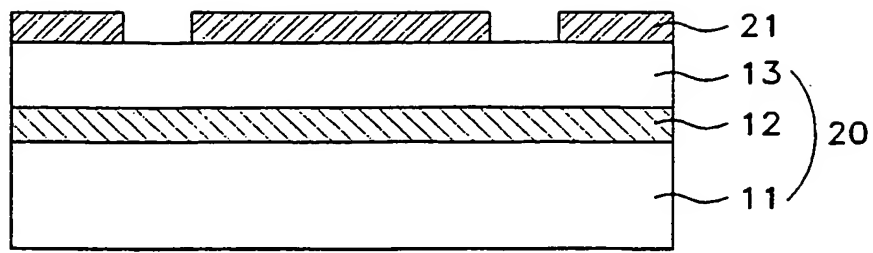
상기 반도체층 상에 그의 제1 및 제2활성영역을 노출시키는 마스크 패턴을 형성하는 단계; 이온주입 공정으로 상기 반도체층의 활성영역에 웰을 형성하는 단계; 및 상기 마스크 패턴을 제거하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 에스오아이 소자의 제조방법.

도면

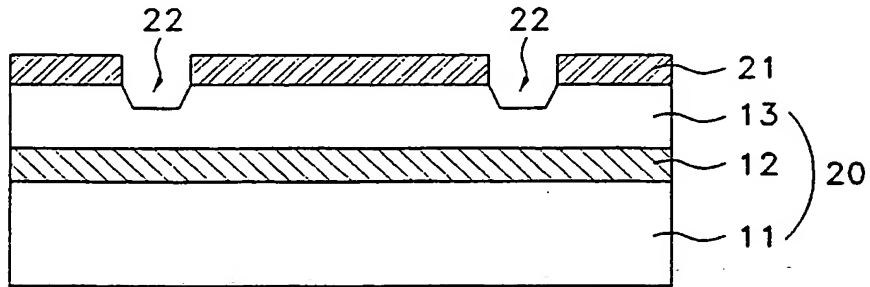
도면1



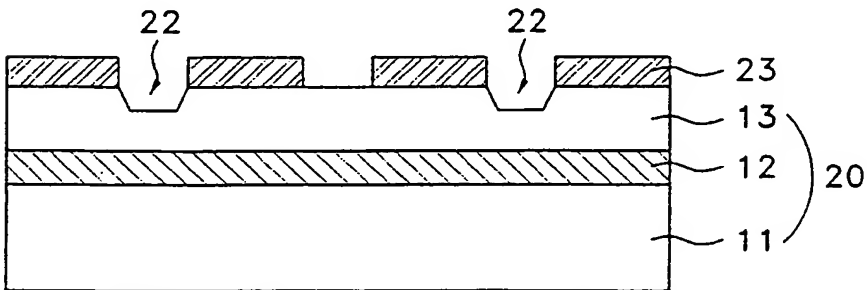
도면2a



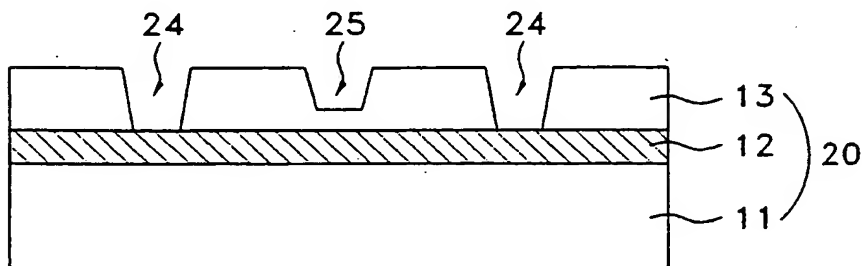
도면2b



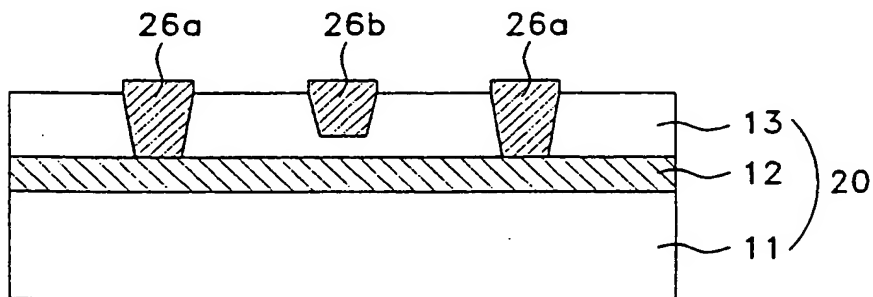
도면2c



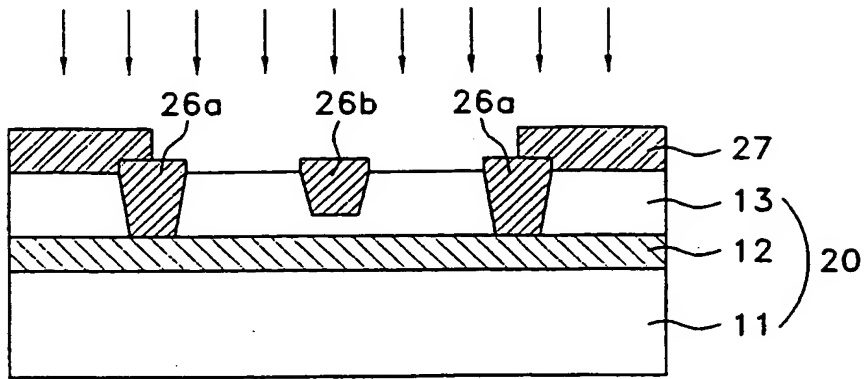
도면2d



도면2e



도면2f



도면2g

